



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11134872 A**(43) Date of publication of application: **21.05.99**

(51) Int. Cl. **G11C 11/417**
G11C 7/00
G11C 11/409

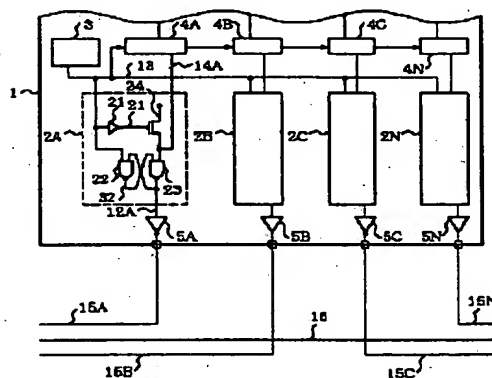
(21) Application number: **09295632**(71) Applicant: **NEC CORP**(22) Date of filing: **28.10.97**(72) Inventor: **SAWANO TOMONORI**(54) **RAM OUTPUT CIRCUIT**

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce the crosstalk due to the state transition of output data in RAM.

SOLUTION: The circuit comprises output buffers 5B,..., 5N disposed every other output bit of RAM 1 which output the memory contents, as they are, and output inverters 5A, 5C,... which invert and output the memory contents. As the result, positive and negative crosstalks to other wiring 16 can be cancelled at the rise and fall of output data 15A, etc., thereby reducing the crosstalk noise.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-134872

(43) 公開日 平成11年(1999) 5月21日

(51) Int.Cl.⁶

G 1 1 C 11/417

7/00

11/409

識別記号

3 1 1

F I

G 1 1 C 11/34

7/00

11/34

3 0 5

3 1 1 G

3 5 4 Q

審査請求 有 請求項の数 3 O L (全 4 頁)

(21) 出願番号

特願平9-295632

(22) 出願日

平成9年(1997)10月28日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 沢野 知紀

東京都港区芝五丁目7番1号 日本電気株

式会社内

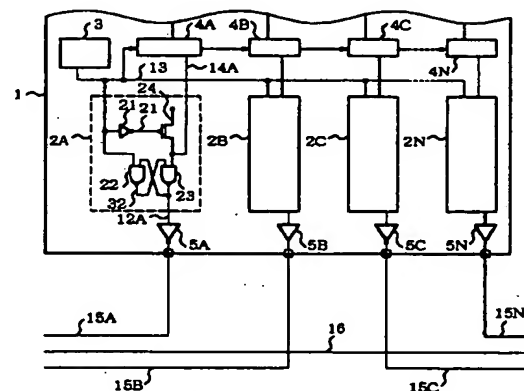
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 RAMの出力回路

(57) 【要約】

【課題】 RAMの出力データの状態遷移に伴うクロストークノイズを軽減する。

【解決手段】 RAM1の出力ビットについて、1ビットおきに、メモリの内容をそのまま出力する出力バッファ5B'、...、5N'と、メモリの内容を反転して出力する出力インバータ5A、5C、...を設ける。この結果、出力データ15A等の立ち上がり、立ち下がり時に、他の配線16へのクロストークが正負で相殺され、クロストークノイズが軽減できる。



1 RAM
2A, 2B, 2C, ... 2N リードラッチ
3 読み出し信号発生回路
4A, 4B, 4C, ... 4N センスタンプ
5A, 5C, ... 出力インバータ
5B', 5N' 出力バッファ
12A リードデータ
13 読み出し信号
14A センスタンプ
15A, 15B, 15C, ... 15N 出力データ
16 線の配線
21 インバータ
22, 23 2入力NAND
24 PチャネルMOSトランジスタ

【特許請求の範囲】

【請求項1】 出力データを保持するためのラッチを有するRAMの出力回路において、該RAMの出力がメモリの内容をそのまま出力するビットと、メモリの内容を反転して出力するビットが同数であることを特徴とするRAMの出力回路。

【請求項2】 前記メモリの内容をそのまま出力するビットと、メモリの内容を反転して出力するビットとが相隣なることを特徴とする請求項1記載のRAMの出力回路。

【請求項3】 前記メモリの内容をそのまま出力することと、メモリの内容を反転して出力することを同一ビットについて行うことを特徴とする請求項1記載のRAMの出力回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体集積回路装置に使用されるRAMの出力回路に関し、特に出力に現れるノイズによる影響を低減するための技術に関する。

【0002】

【従来の技術】 従来の技術を図4を参照して説明する。半導体集積回路装置に使用されるRAMの多くは、クロックに同期した回路で使用されているので、その出力データを保持するため出力回路にラッチを設け、そのラッチはクロックに同期した読み出し信号によってセンスアンプから出力されるデータを取り込むようになっている。

【0003】 この動作を図2に示すタイムチャートを用いて説明すると、保持状態においては読み出し信号13は“1”（高定位）でありセンスアンプ4Aの動作は抑止され、PチャンネルMOSトランジスタ24がONしているため、センスデータ14Aも“1”となっている。従って2入力NAND22および23はインバータとしての動作を行い、保持しているデータ（この場合は“1”）を出力インバータ5AにおくっているためRAMとしては、ラッチデータの反転＝メモリのデータ、この場合は“0”を出力している。

【0004】 このRAMの読み出しの動作は、クロックに同期して読み出し信号13が“0”に変化することで行われる。これにより信号32が“1”になると同時にPチャンネルMOSトランジスタ24がOFFになるのでセンスデータ14Aはセンスアンプの出力データが確定するまでは不定（ハイインピーダンス）となる。その間リードデータ12Aは“0”に変化するので出力データ15Aは“1”になる。この状態でセンスアンプ4Aの出力が確定し、この場合“0”であると（メモリからの読み出しデータが“0”であると）リードデータ12Aの値が“1”になるので、出力データ15Aは“0”に変化し、これがこのクロックのRAMの出力データの値となる。この値は読み出し信号13が“1”に

変化したとき信号32が“0”、そしてセンスデータ14Aが“1”になることによってリードラッチが保持状態に戻るためそれ以降は変化しない。

【0005】

【発明が解決しようとする課題】 上述した従来のRAMの出力回路では、あるクロックでRAMの出力データが“0”になっているとき、その次のクロックにおいて確定したのは出力データが“0”であっても、それが確定するまでの間にデータが“1”に変化する状態が存在することがわかる。この本来不要な状態の遷移はノイズであり、RAMの外部で出力データが配線されると、他の（RAMの出力データ以外の）配線にもクロストークノイズとして影響を及ぼす。これはRAMの各出力ビットについて同様であり、ノイズは同時に起きるため影響を受ける配線が複数のRAMの出力に隣り合っている場合には影響の大きさは累積される。このノイズは影響をうける信号にたいし遅延時間の増大や論理状態の反転による誤動作を及ぼす。

【0006】 本発明は上記のような従来の問題点に鑑みてなされたもので、その目的とするところは出力にラッチをもちデータを保持する構造のRAMにおいて、RAMの出力が他の信号に及ぼすノイズの影響を低減することのできるRAMの出力回路を提供することである。

【0007】

【課題を解決するための手段】 本発明のRAMの出力回路は、出力データを保持するためのラッチを有するRAMの出力回路において、該RAMの出力がメモリの内容をそのまま出力するビットと、メモリの内容を反転して出力するビットが同数であることを特徴とする。即ち本発明に係わるRAMの出力回路は、出力データを保持するためのラッチの後に設けられる、出力データ配線を駆動するための素子を論理的にインバータとバッファとの混在したものとしている。

【0008】 このような手段によって、RAMの出力データにのるノイズは“0”状態のとき“1”に遷移し、また“0”に戻るノイズ（立ち上がりノイズ）と、

“1”状態のとき“0”に遷移し、また“1”に戻るノイズ（立ち上がりノイズ）との混在となる。一般の信号配線の状態が“0”のとき論理状態に影響を及ぼすのは立ち上がりノイズであり、この場合立ち下がりノイズの影響は無視することができる。一般の信号配線の状態が“1”のとき論理状態に影響を及ぼすのは立ち上がりノイズであり、この場合立ち上がりノイズの影響は無視することができる。従ってRAMの出力データのすべてが一方向のノイズを持つ場合に比べて累計されるクロストークノイズの量は少なくなる。

【0009】

【発明の実施の形態】 次に、本発明の実施の形態について図面を参照して詳細に説明する。

【0010】 図1は本発明の一実施例を示す図である。

RAM1は読み出し信号生成回路3、出力ビット毎に設けられたセンスアンプ4A、AB、4C、...、4N、出力ビット毎に設けられたリードラッチ2A、2B、2C、...、2N、出力ビット毎に1つおきに設けられた出力インバータ5A、または5C、...、出力バッファ5B'、...、5N'からなる。

【0011】リードラッチ2Aはインバータ21、PチャンネルMOSトランジスタ24、2入力NAND22および23からなる。RAM出力データ15A、15B、15C、...、15Nは、図示されない半導体集積回路装置内のその他の素子と接続されるため配線が行われる。

【0012】本回路において、保持状態においては読み出し信号13は“1”であり、センスアンプ4Aの動作は抑止され、PチャンネルMOSトランジスタ24がONしているため、センスデータ14Aも“1”となっている。従って2入力NAND22および23はインバータとしての動作を行い、保持しているデータ（この場合は“1”）を出力インバータ5AにおくっているのでRAM1としてはラッチデータの反転＝メモリのデータ、この場合は“0”を出力している。

【0013】このRAMの読み出しの動作は、クロックに同期して読み出し信号13が“0”に変化することで行われる。これにより信号32が“1”になると同期にPチャンネルMOSトランジスタ24がOFFになるのでセンスデータ14Aはセンスアンプの出力データが確定するまでは不定（ハイインピーダンス）となる。その間、リードデータ12Aは“0”に変化するので出力データ15Aは“1”になる。センスアンプの出力が確定し、この場合“0”であると（メモリからの読み出しデータが“0”であると）リードデータ12Aの値が“1”になるので、出力データ15Aは“0”に変化し、これがこのクロックにตอบสนองしたRAM1の出力データの値となる。この値は読み出し信号13が“1”に変化したとき信号32が“0”、そしてセンスデータ14Aが“1”になることによってリードラッチ12Aが保持状態に戻るのでもそれ以降は変化しない。

【0014】同じ動作がリードラッチ2B、2C、...、2Nでも行われるが、最終段の出力バッファ5B'、...、5N'は論理的にバッファの動作をするように作られているために出力データ15B、...、15Nはメモリのデータの反転、負出力となる。

【0015】この例において、あるクロックでRAM1の出力データが“0”になっているとき、その次のクロックにおいて確定した出力データが“0”であっても、それが確定するまでの間にデータが“1”に変化する状

態が存在することがわかる。あるクロックでRAM1の負出力データが“1”になっているとき、その次のクロックにおいて確定した負出力データが“1”であっても、それが確定するまでの間にデータが“0”に変化する状態が存在することがわかる。

【0016】この本来不要な状態の遷移はノイズであり、RAM1の外部で出力データ15A等が配線されると、他の（RAMの出力データ以外の）配線16にもクロストークノイズとして影響を及ぼす。このノイズは同時に起きるため影響を受ける配線が複数のRAM1の出力に隣り合っている場合には影響の大きさは累計されるが、従来の例と異なりノイズに立ち下がり立ち上りの両方が混在しているため、ある配線に及ぼされる総クロストークノイズ量はすべてのRAM1の出力信号が同じ方向のノイズを持つ場合に比べて小さくなる。

【0017】図3は本発明の他の実施例を示す構成図である。RAM1において読み出し信号生成回路3、センスアンプ14A等、リードラッチ2A等の構成は変わらない。この実施例ではリードデータを出力バッファ5A'、5B'、5C'、...、5N'および出力インバータ5A、5B、...、5Nの両方を用いて正出力のデータ15A'、...と負出力のデータ15A、...を出力している。この例でも、同様のノイズに立ち下がり立ち上りの両方が混在しているため、ある配線に及ぼされる総クロストークノイズ量はすべてのRAM1の出力信号が同じ方向のノイズを持つ場合に比べて小さくなる。

【0018】

【発明の効果】以上説明したように本発明の半導体回路装置に使用されるRAMの出力回路は、その出力が他の信号配線に及ぼすクロストークノイズの影響を低減することができるため、遅延時間の増加または誤動作の可能性を低下させることができる。

【図面の簡単な説明】

【図1】本発明の一実施例の構成図である。

【図2】本発明の実施の形態の動作を示すタイムチャートである。

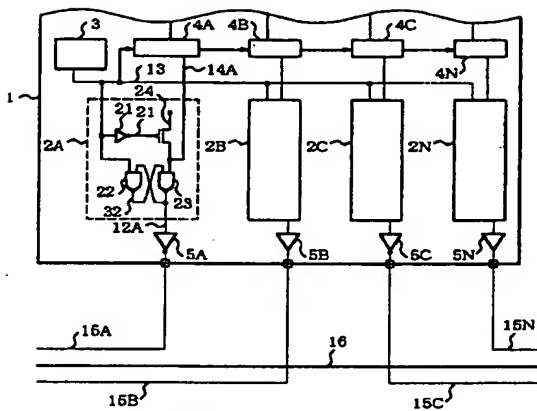
【図3】本発明の他の実施例の構成図である。

【図4】従来の技術を示す回路の構成図である。

【符号の説明】

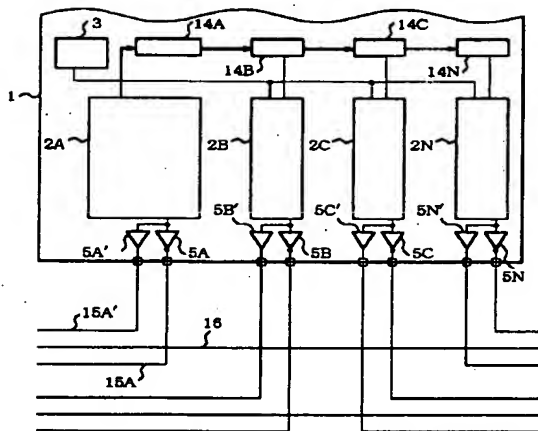
1 RAM
2A、2B、2C、...、2N リードラッチ
3 読み出し信号生成回路
4A、4B、4C、...、4N センスアンプ
5A、5B、5C、...、5N 出力インバータ
5B'、...、5N' 出力バッファ

【図1】



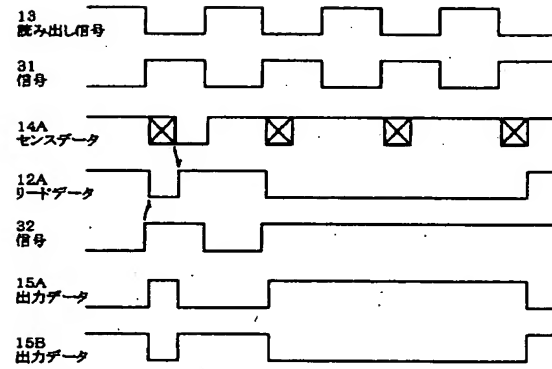
1 RAM
2A, 2B, 2C, ... 2N リードラッチ
3 読み出し信号生成回路
4A, 4B, 4C, ... 4N センスアンプ
5A, 5C, ... 出力インバータ
5B, 5N' 出力バッファ
12A リードデータ
13 読み出し信号
14A センスデータ
15A, 15B, 15C, ... 15N 出力データ
16 他の配線
21 インバータ
22, 23 2入力NAND
24 PチャンネルMOSトランジスタ

【図3】

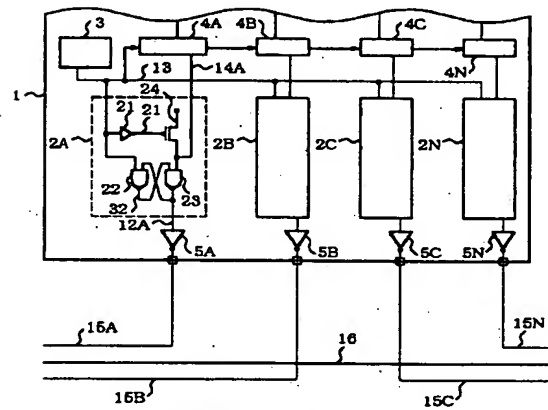


1 RAM
2A, 2B, 2C, ... 2N リードラッチ
3 読み出し信号生成回路
4A, 4B, 4C, ... 4N センスアンプ
5A, 5B, 5C, ... 5N 出力インバータ
5A', 5B', 5C', ... 5N' 出力バッファ
14A, 14B, 14C, ... 14N センスデータ
15A 出力データ
15A' 出力データ
16 他の配線

【図2】



【図4】



1 RAM
2A, 2B, 2C, ... 2N リードラッチ
3 読み出し信号生成回路
4A, 4B, 4C, ... 4N センスアンプ
5A, 5B, 5C, ... 5N 出力インバータ
12A リードデータ
13 読み出し信号
14A センスデータ
15A, 15B, 15C, ... 15N 出力データ
16 他の配線
21 インバータ
22, 23 2入力NAND
24 PチャンネルMOSトランジスタ